



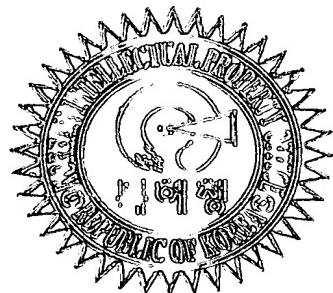
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0055014
Application Number

출 원 년 월 일 : 2003년 08월 08일
Date of Application AUG 08, 2003

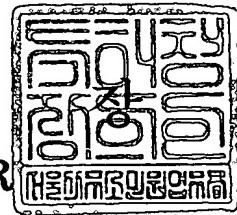
출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2004 년 04 월 12 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.08.08
【발명의 명칭】	반도체 장치 및 그 제어 방법
【발명의 영문명칭】	SEMICONDUCTOR DEVICE AND METHOD FOR CONTROLLING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	김동진
【대리인코드】	9-1999-000041-4
【포괄위임등록번호】	2002-007585-8
【발명자】	
【성명의 국문표기】	임종형
【성명의 영문표기】	LIM, Jong Hyoung
【주민등록번호】	690217-1807811
【우편번호】	442-725
【주소】	경기도 수원시 팔달구 영통동 벽적골 두산아파트 806동 1502호
【국적】	KR
【발명자】	
【성명의 국문표기】	권혁준
【성명의 영문표기】	KWON, Hyuk Joon
【주민등록번호】	710601-1670114
【우편번호】	435-040
【주소】	경기도 군포시 산본동 우륵주공아파트 708-601
【국적】	KR
【발명자】	
【성명의 국문표기】	이현규
【성명의 영문표기】	LEE, Hyun Kyu
【주민등록번호】	721231-1237516

【우편번호】

449-906

【주소】

경기도 용인시 기흥읍 서천리 310번지 무궁화동 105호

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
김동진 (인)

【수수료】**【기본출원료】**

20 면 29,000 원

【가산출원료】

28 면 28,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

31 항 1,101,000 원

【합계】

1,158,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 반도체 장치에 관한 것으로서, 보다 상세하게는 기입 회복 시간(Write Recovery Time; tWR) 동안에 마지막 기입 데이터를 재기입(Rewrite)함으로써 데이터 기입 에러의 발생을 줄일 수 있는 반도체 장치에 관한 것이다. 본 발명의 일실시예에 따른 반도체 장치는 다수의 반복적인 셀 유닛으로 구성된 메모리 셀 어레이부; 상기 셀 어레이의 비트 라인 전압과 상보 비트 라인 전압 간에 전압차를 증폭하는 비트 라인 증폭부; 컬럼 선택 라인 신호에 의해서 활성화되어 데이터 라인 및 상보 데이터 라인을 상기 비트 라인 및 상보 비트 라인에 각각 전기적으로 연결시키는 스위칭부; 및 기입 인에이블 신호에 의해서 활성화되어 기입 데이터 전압을 상기 데이터 라인과 상보 데이터 라인에 공급하는 라이트 드라이버를 포함하고, 상기 컬럼 선택 라인 신호는 기입 회복 시간 동안에 제공되는 것을 특징으로 한다. 본 발명의 일실시예에 따른 반도체 장치를 제어하는 방법은 다수의 반복적인 셀 유닛으로 구성된 메모리 셀 어레이부, 상기 셀 어레이의 비트 라인 전압과 상보 비트 라인 전압 간에 전압차를 증폭하는 비트 라인 증폭부, 컬럼 선택 라인 신호에 의해서 활성화되어 데이터 라인 및 상보 데이터 라인을 상기 비트 라인 및 상보 비트 라인에 각각 전기적으로 연결시키는 스위칭부 및 기입 인에이블 신호에 의해서 활성화되어 기입 데이터 전압을 상기 데이터 라인과 상보 데이터 라인에 공급하는 라이트 드라이버를 포함하는 반도체 장치를 제어하는 방법에 있어서, 데이터 전압이 상기 메모리 셀 어레이부에 기입되는 단계; 및 상기 컬럼 선택 라인 신호가 기입 회복 시간 동안에 제공되는 단계를 포함하는 것을 특징으로 한다.

【대표도】

도 4

1020030055014

출력 일자: 2004/4/13

【색인어】

기입 회복 시간, 컬럼 선택 라인 신호, 컬럼 어드레스 버스트 카운터의 정지 신호

【명세서】**【발명의 명칭】**

반도체 장치 및 그 제어 방법(SEMICONDUCTOR DEVICE AND METHOD FOR CONTROLLING THE SAME)

【도면의 간단한 설명】

도 1은 종래의 반도체 장치의 구성을 나타내는 블록 구성도이다.

도 2는 종래의 반도체 장치의 카운터 제어부를 나타내는 회로도이다.

도 3은 종래의 반도체 장치($t_{WR}=2$ 클럭인 경우)의 라이트 동작을 나타내는 타이밍 다이어그램이다.

도 4는 본 발명의 일실시예에 따른 반도체 장치의 구성을 나타내는 블록 구성도이다.

도 5는 본 발명의 일실시예에 따른 반도체 장치의 컬럼 선택 라인 신호의 인에이블 및 디스에이블 신호 발생부를 나타내는 회로도이다.

도 6은 본 발명의 일실시예에 따른 반도체 장치의 커맨드 신호 제어부를 나타내는 회로도이다.

도 7은 본 발명의 일실시예에 따른 반도체 장치의 컬럼 어드레스 버퍼를 나타내는 회로도이다.

도 8은 본 발명의 일실시예에 따른 반도체 장치의 메인 디코더를 나타내는 회로도이다.

도 9는 본 발명의 일실시예에 따른 반도체 장치의 컬럼 어드레스 세트 신호 발생부를 나타내는 회로도이다.

도 10은 본 발명의 일실시예에 따른 반도체 장치의 카운터 제어부를 나타내는 회로도이다.

도 11은 본 발명의 일실시예에 따른 반도체 장치의 기입 회복 시간 인에이블 신호 발생부를 나타내는 회로도이다.

도 12는 본 발명의 일실시예에 따른 반도체 장치($t_{WR}=2$ 클럭인 경우)의 라이트 동작을 나타내는 타이밍 다이어그램이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 반도체 장치에 관한 것으로서, 보다 상세하게는 기입 회복 시간(Write Recovery Time; t_{WR}) 동안에 마지막 기입 데이터를 재기입(Rewrite)함으로써 데이터 기입 에러의 발생을 줄일 수 있는 반도체 장치에 관한 것이다.

<14> 일반적으로 반도체 장치의 기입 회복 시간(Write Recovery Time; t_{WR})은 반도체 장치의 기입(Write) 동작 후에 리이드(Read) 동작 또는 라이트(Write) 동작이 가능해지는 시점까지의 시간으로 규정되어 있다. 즉, 마지막 데이터가 기입되는 시간부터 프리차지 커맨드 신호가 입력되는 시간(Last data_in to row_preadcharge; Write Recovery Time)으로 규정되어 있다.

<15> 특히, 동기식 반도체 장치의 경우(예를 들면, Synchronous Dynamic Random Access Memory, Double Date Rate Synchronous Dynamic Random Access Memory)에는 기입 회복 시간(t_{WR})은 클럭의 수(예를 들면, $t_{WR}=2$ 클럭, $t_{WR}=3$ 클럭)로 표현되고 있으며, 고속 동작 동기식 반도체 장치의 경우에는 기입 회복 시간(t_{WR})은 수 클럭 수준이다.

<16> 반도체 장치가 기입 회복 시간(t_{WR})을 충분히 확보하지 않은 상태에서 리이드(Read) 동작이나 라이트(Write) 동작을 수행하는 경우에는 오동작을 발생시킬 위험이 있기 때문에, 종래

에는 기입 회복 시간(tWR) 동안에는 기입 데이터 전압이 저장되는 메모리 셀 어레이(Memory Cell Array)와 기입 데이터 전압을 공급하는 라이트 드라이버(Write Driver)를 전기적으로 분리시켰다.

<17> 그러므로 종래의 반도체 장치는 기입 회복 시간(tWR) 동안에는, 단지 메모리 셀 어레이에 연결된 컬럼 라인을 통해서 기입 데이터 전압을 공급받게 되었다.

<18> 상술한 종래의 반도체 장치에 있어서 메모리 셀 어레이에 마지막 기입 데이터 전압을 충분히 공급받기 위해서는 기입 회복 시간(tWR)이 길어져야 되고, 그렇지 못한 경우에는 마지막 데이터 기입 에러가 발생될 위험이 있었다. 특히, 마지막 기입 데이터가 저장된 데이터와 상반되는 경우에는 데이터 기입 에러가 발생될 위험이 더 높았다.

【발명이 이루고자 하는 기술적 과제】

<19> 따라서 본 발명은 상술한 바와 같은 종래의 반도체 장치에서의 과제의 해결을 도모하기 위하여 기입 회복 시간(tWR) 동안에 마지막 데이터가 기입되는 컬럼 라인만을 반복해서 활성화 시켜 메모리 셀 어레이에 마지막 기입 데이터 전압을 충분히 공급할 수 있는 반도체 장치를 제공하는 것을 목적으로 한다.

【발명의 구성 및 작용】

<20> 상기의 목적을 달성하기 위하여, 본 발명의 일실시예에 따른 반도체 장치는 다수의 반복적인 셀 유닛으로 구성된 메모리 셀 어레이부; 상기 셀 어레이의 비트 라인 전압과 상보 비트 라인 전압 간에 전압차를 증폭하는 비트 라인 증폭부; 컬럼 선택 라인 신호에 의해서 활성화되어 데이터 라인 및 상보 데이터 라인을 상기 비트 라인 및 상보 비트 라인에 각각 전기적으로 연결시키는 스위칭부; 및 기입 인에이블 신호에 의해서 활성화되어 기입 데이터 전압을 상기

데이터 라인과 상보 데이터 라인에 공급하는 라이트 드라이버를 포함하고, 상기 컬럼 선택 라인 신호는 기입 회복 시간 동안에 제공되는 것을 특징으로 한다.

<21> 본 발명의 일실시예에 따른 반도체 장치의 상기 컬럼 선택 라인 신호는 상기 기입 회복 시간 동안에 반복해서 제공되는 것을 특징으로 한다.

<22> 본 발명의 일실시예에 따른 반도체 장치는 상기 컬럼 선택 라인 신호를 제공하는 신호 발생부를 더 포함하고, 상기 신호 발생부는 컬럼 선택 라인 인에이블 신호와 컬럼 어드레스 신호로 활성화되는 컬럼 어드레스 선택 신호의 논리곱 연산 신호에 의해서 활성화되고, 컬럼 선택 라인 디스에이블 신호에 의해서 비활성화되어 상기 컬럼 선택 라인 신호를 제공하는 것을 특징으로 한다.

<23> 본 발명의 일실시예에 따른 반도체 장치의 상기 컬럼 선택 라인 디스에이블 신호는 상기 컬럼 선택 라인 인에이블 신호가 제공된 후에 제공되는 것을 특징으로 한다.

<24> 본 발명의 일실시예에 따른 반도체 장치의 상기 컬럼 선택 라인 디스에이블 신호는, 상기 컬럼 선택 라인 인에이블 신호보다 적어도 상기 컬럼 선택 라인 인에이블 신호의 제공 주기의 1/2만큼 지연된 후에 제공되는 것을 특징으로 한다.

<25> 본 발명의 일실시예에 따른 반도체 장치의 상기 신호 발생부는 상기 컬럼 선택 라인 인에이블 신호와 컬럼 어드레스 선택 신호의 논리곱 연산 신호가 입력되는 제 1 피모스 트랜지스터, 상기 컬럼 선택 라인 인에이블 신호와 컬럼 어드레스 선택 신호의 논리곱 연산 신호가 입력되는 엔모스 트랜지스터, 상기 컬럼 선택 라인 디스에이블 신호의 반전된 신호가 입력되고 상기 제 1 피모스 트랜지스터와 상기 엔모스 트랜지스터 사이에 연결되는 제 2 피모스 트랜지

스터 및 상기 제 2 피모스 트랜지스터와 상기 엔모스 트랜지스터가 연결되는 지점에 연결되는 인버터를 포함하는 것을 특징으로 한다.

<26> 본 발명의 일실시예에 따른 반도체 장치의 상기 신호 발생기는 상기 인버터에 래치로 연결되는 제 2 인버터를 더 포함하는 것을 특징으로 한다.

<27> 본 발명의 일실시예에 따른 반도체 장치의 상기 컬럼 선택 라인 인에이블 신호는 상기 기입 인에이블 신호와 마스터 클럭 신호의 논리곱 연산에 의해 제공되는 것을 특징으로 한다.

<28> 본 발명의 일실시예에 따른 반도체 장치의 상기 컬럼 선택 라인 디스에이블 신호는 소정의 지연 시간 후에 전달된 상기 마스터 클럭 신호와 상기 마스터 클럭 신호의 반전 신호로 활성화되어 전달된 상기 기입 인에이블 신호의 논리곱 연산에 의해 제공되는 것을 특징으로 한다.

<29> 본 발명의 일실시예에 따른 반도체 장치는 상기 기입 인에이블 신호를 제공하는 신호 발생부를 더 포함하고, 상기 신호 발생부는 기입 커맨드 신호에 의해서 활성화되고, 컬럼 어드레스 버스트 카운터의 정지 신호에 의해서 비활성화되어 상기 기입 인에이블 신호를 제공하는 것을 특징으로 한다.

<30> 본 발명의 일실시예에 따른 반도체 장치의 상기 신호 발생부는 상기 기입 커맨드 신호가 입력되는 제 1 노아 게이트, 상기 컬럼 어드레스 버스트 카운터의 정지 신호가 입력되고 상기 제 1 노아 게이트와 래치로 연결되는 제 2 노아 게이트 및 상기 제 1 노아 게이트의 출력단에 연결되는 인버터를 포함하는 것을 특징으로 한다.

- <31> 본 발명의 일실시예에 따른 반도체 장치의 상기 컬럼 어드레스 버스트 카운터의 정지 신호는 상기 기입 회복 시간의 시작 후 적어도 상기 마스터 클럭의 1 클럭이상 지연되어 제공되는 것을 특징으로 한다.
- <32> 본 발명의 일실시예에 따른 반도체 장치의 상기 컬럼 어드레스 버스트 카운터의 정지 신호는 기입 회복 시간의 값에 비례하여 지연 제공되는 것을 특징으로 한다.
- <33> 본 발명의 일실시예에 따른 반도체 장치의 상기 컬럼 어드레스 버스트 카운터의 정지 신호는 기입 회복 시간 인에이블 신호에 의해서 활성화되어 제공되는 것을 특징으로 한다.
- <34> 본 발명의 일실시예에 따른 반도체 장치는 상기 기입 회복 시간 인에이블 신호를 제공하는 신호 발생부를 더 포함하고, 상기 신호 발생부는 기입 회복 시간 결정 신호의 반전 신호가 입력되는 피모스 트랜지스터, 상기 기입 회복 시간 결정 신호의 반전 신호가 입력되는 엔모스 트랜지스터, 상기 피모스 트랜지스터와 상기 엔모스 트랜지스터 사이에 연결되는 퓨즈부 및 상기 퓨즈부와 상기 엔모스 트랜지스터가 연결되는 지점에 연결되는 인버터를 포함하는 것을 특징으로 한다.
- <35> 본 발명의 일실시예에 따른 반도체 장치의 상기 신호 발생부는 상기 인버터에 래치로 연결된 제 2 인버터를 더 포함하는 것을 특징으로 한다.
- <36> 본 발명의 일실시예에 따른 반도체 장치의 상기 컬럼 어드레스 신호는 어드레스 신호가 소정의 지연 시간 후에 전달되어 제공되면, 이후에는 내부 컬럼 어드레스 신호가 전달되어 제공되는 것을 특징으로 한다.
- <37> 본 발명의 일실시예에 따른 반도체 장치의 상기 컬럼 어드레스 신호는 상기 컬럼 어드레스 버스트 카운터의 정지 신호에 의해 리셋되는 것을 특징으로 한다.

- <38> 본 발명의 일실시예에 따른 반도체 장치의 상기 컬럼 어드레스 신호는 상기 컬럼 어드레스 세트 신호에 의해서 활성화되고 상기 어드레스 신호가 소정의 지연 시간 후에 전달되어 제공되는 것을 특징으로 한다.
- <39> 본 발명의 일실시예에 따른 반도체 장치의 상기 컬럼 어드레스 신호는 상기 마스터 클럭 신호와 상기 컬럼 어드레스 세트 신호의 반전 신호의 논리곱 연산 신호에 의해서 활성화되고 상기 내부 컬럼 어드레스 신호가 전달되어 제공되는 것을 특징으로 한다.
- <40> 본 발명의 일실시예에 따른 반도체 장치의 상기 컬럼 어드레스 신호는 상기 기입 회복 시간의 시작부터 적어도 상기 마스터 클럭의 1 클럭이상 동안 제공되는 것을 특징으로 한다.
- <41> 본 발명의 일실시예에 따른 반도체 장치의 상기 컬럼 어드레스 신호는 기입 회복 시간의 값에 비례하여 제공되는 것을 특징으로 한다.
- <42> 본 발명의 일실시예에 따른 반도체 장치의 상기 컬럼 어드레스 세트 신호는 상기 기입 인에이블 신호에 의해 활성화되고 소정의 지연 시간 후에 비활성화되는 것을 특징으로 한다.
- <43> 상기의 목적을 달성하기 위하여, 본 발명의 일실시예에 따른 반도체 장치를 제어하는 방법은 다수의 반복적인 셀 유닛으로 구성된 메모리 셀 어레이부, 상기 셀 어레이의 비트 라인 전압과 상보 비트 라인 전압 간에 전압차를 증폭하는 비트 라인 증폭부, 컬럼 선택 라인 신호에 의해서 활성화되어 데이터 라인 및 상보 데이터 라인을 상기 비트 라인 및 상보 비트 라인에 각각 전기적으로 연결시키는 스위칭부 및 기입 인에이블 신호에 의해서 활성화되어 기입 데이터 전압을 상기 데이터 라인과 상보 데이터 라인에 공급하는 라이트 드라이버를 포함하는 반도체 장치를 제어하는 방법에 있어서, 데이터 전압이 상기 메모리 셀 어레이부에 기입되는 단

계; 및 상기 컬럼 선택 라인 신호가 기입 회복 시간 동안에 제공되는 단계를 포함하는 것을 특징으로 한다.

<44> 본 발명의 일실시예에 따른 반도체 장치를 제어하는 방법은 상기 컬럼 선택 라인 신호가 제공되는 단계에서 상기 컬럼 선택 라인 신호는 반복해서 제공되는 것을 특징으로 한다.

<45> 본 발명의 일실시예에 따른 반도체 장치를 제어하는 방법은 상기 컬럼 선택 라인 신호가 제공되는 단계에서 상기 컬럼 선택 라인 신호는 상기 기입 인에이블 신호에 의해서 활성화되는 것을 특징으로 한다.

<46> 본 발명의 일실시예에 따른 반도체 장치를 제어하는 방법은 상기 컬럼 선택 라인 신호가 제공되는 단계에서 상기 기입 인에이블 신호는 상기 기입 회복 시간의 시작 후 적어도 마스터 클럭의 1 클럭이상 동안 제공되는 것을 특징으로 한다.

<47> 본 발명의 일실시예에 따른 반도체 장치를 제어하는 방법은 상기 컬럼 선택 라인 신호가 제공되는 단계에서 상기 기입 인에이블 신호는 기입 회복 시간의 값에 비례해서 제공되는 것을 특징으로 한다.

<48> 본 발명의 일실시예에 따른 반도체 장치를 제어하는 방법은 상기 컬럼 선택 라인 신호가 제공되는 단계에서 상기 기입 인에이블 신호는 컬럼 어드레스 버스트 카운터의 정지 신호에 의해서 비활성화되는 것을 특징으로 한다.

<49> 본 발명의 일실시예에 따른 반도체 장치를 제어하는 방법은 상기 컬럼 선택 라인 신호가 제공되는 단계에서 상기 컬럼 어드레스 버스트 카운터의 정지 신호는 상기 기입 회복 시간의 시작 후 적어도 상기 마스터 클럭의 1 클럭이상 지연 제공되는 것을 특징으로 한다.

<50> 본 발명의 일실시예에 따른 반도체 장치를 제어하는 방법은 상기 컬럼 선택 라인 신호가 제공되는 단계에서 상기 컬럼 어드레스 버스트 카운터의 정지 신호는 기입 회복 시간의 값에 따라서 비례하여 지연 제공되는 것을 특징으로 한다.

<51> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 따른 반도체 장치 및 반도체 장치를 제어하는 방법을 상세히 설명한다.

<52> 도 1은 종래의 반도체 장치의 구성을 나타내는 블록 구성도이다. 일반적으로 반도체 장치는 도 1에 도시된 것처럼, 다수의 반복적인 셀 유닛으로 구성된 메모리 셀 어레이부(120), 상기 셀 어레이의 비트 라인(BL) 전압과 상보 비트 라인(/BL) 전압 간에 전압차를 증폭하는 비트 라인 증폭부(130), 데이터 라인(DL) 및 상보 데이터 라인(/DL)을 상기 비트 라인(BL) 및 상보 비트 라인(/BL)에 각각 전기적으로 연결시키는 스위칭부(MN1, MN2) 및 기입 데이터 전압을 상기 데이터 라인(DL)과 상보 데이터 라인(/DL)에 공급하는 라이트 드라이버부(140)를 포함한다.

<53> 상기 메모리 셀 어레이부(120)는 워드 라인 신호(WL)에 의해서 워드 라인이 활성화되면 상기 비트 라인(BL)과 메모리 셀이 전기적으로 도통하게 되고, 상기 라이트 드라이버부(140)로부터 공급된 기입 데이터 전압이 상기 비트 라인(BL)을 통하여 상기 메모리 셀에 전달되어 기입된다.

<54> 상기 비트 라인 증폭부(130)는 상기 라이트 드라이버부(140)로부터 공급된 기입 데이터 전압이 상기 비트 라인(BL)에 전달되면 상기 비트 라인(BL) 전압과 상보 비트 라인(/BL) 전압 간에 전압차를 증폭하여 상기 비트 라인(BL)에 공급한다.

- <55> 상기 스위칭부(MN1, MN2)는 컬럼 선택 라인 신호(CSL)에 의해서 활성화되어 상기 비트 라인(BL) 및 상기 상보 비트 라인(/BL)과 상기 데이터 라인(DL) 및 상보 데이터 라인(/DL)을 각각 전기적으로 연결시킨다.
- <56> 상기 라이트 드라이버부(140)는 기입 인에이블 신호(PWR)에 의해서 활성화되어 입력된 기입 데이터(DIN) 전압을 상기 데이터 라인(DL)과 상보 데이터 라인(/DL)에 공급한다.
- <57> 컬럼 선택 라인 인에이블 신호(PCSLE) 및 디스에이블 신호 발생부(PCSLD)는 마스터 클럭 신호(CLK)와 기입 인에이블 신호(PWR)에 의해서 활성화되어 컬럼 선택 라인 인에이블 신호(PCSLE)와 컬럼 선택 라인 디스에이블 신호(PCSLD)를 메인 디코더(60)에 제공한다.
- <58> 커맨드 신호 제어부(20)는 커맨드 신호(CMD)를 입력받아 로우 마스터 신호(PR)를 워드 라인 드라이버(30)에 제공하고, 상기 기입 인에이블 신호(PWR)를 제공하며, 컬럼 어드레스 버스트 카운터의 정지 신호(CNTSTOP)에 의해서 비활성화된다. 상기 워드 라인 드라이버(30)는 상기 로우 마스터 신호(PR)에 의해서 활성화되어 상기 워드 라인 신호(WL)를 상기 메모리 셀 어레이부(120)에 제공한다.
- <59> 컬럼 어드레스 버퍼(40)는 상기 마스터 클럭 신호(CLK), 컬럼 어드레스 세트 신호(CASET) 및 상기 컬럼 어드레스 세트 신호(CASETB)의 반전 신호(CASETB)에 의해서 활성화되고, 상기 컬럼 어드레스 버스트 카운터의 정지 신호(CNTSTOP)에 의해서 리셋되며, 외부 어드레스 신호(ADDR)와 내부 컬럼 어드레스 신호(PCAi)를 입력받아 프리디코더(50)에 컬럼 어드레스 신호(CAi)를 제공한다.
- <60> 상기 프리디코더(50)는 상기 컬럼 어드레스 신호(CAi)를 입력받아 상기 메인 디코더(60)에 컬럼 어드레스 선택 신호(DCAij)를 제공한다.

- <61> 상기 메인 디코더(50)는 상기 컬럼 선택 라인 인에이블 신호(PCSLE)에 의해서 활성화되고, 상기 컬럼 선택 라인 디스에이블 신호(PCSLD)에 의해서 비활성화되며, 상기 컬럼 어드레스 선택 신호(DCAij)를 입력받아 상기 컬럼 선택 라인 신호(CSL)를 제공한다.
- <62> 컬럼 어드레스 세트 신호(CASET) 발생부는 상기 기입 인에이블 신호(PWR)를 입력받아 상기 컬럼 어드레스 세트 신호(CASET) 및 상기 컬럼 어드레스 세트 신호(CASET)의 반전 신호를 제공한다.
- <63> 컬럼 어드레스 카운터(80)는 상기 마스터 클럭 신호(CLK)와 상기 기입 인에이블 신호(PWR)에 의해서 활성화되어 상기 내부 컬럼 어드레스 신호(PCAi)를 제공한다.
- <64> 컬럼 어드레스 버스트 카운터(90)는 상기 마스터 클럭 신호(CLK)와 상기 기입 인에이블 신호(PWR)에 의해서 활성화되어 카운터 제어부(100)에 제 3 컬럼 어드레스 버스트 카운터 출력 신호(CNT2)를 제공한다.
- <65> 상기 카운터 제어부(100)는 상기 제 3 컬럼 어드레스 버스트 카운터 출력 신호(CNT2)를 입력받아 상기 컬럼 어드레스 버스트 카운터의 정지 신호(CNTSTOP)를 제공한다.
- <66> 종래의 반도체 장치는 기입 회복 시간(t_{WR}) 동안에는 마지막 기입 데이터 전압이 상기 라이트 드라이버부로부터 상기 비트 라인(BL)에 전달되면 상기 컬럼 선택 라인 신호(CSL)가 비활성화되어 상기 스위칭부(MN1, MN2)는 비활성화되므로, 상기 비트 라인(BL) 및 상보 비트 라인(/BL)은 각각 상기 데이터 라인(DL) 및 상보 데이터 라인(/DL)과 전기적으로 절연된다.
- <67> 그러므로 상기 기입 회복 시간(t_{WR}) 동안에는 상기 비트 라인 증폭부(130)에 의해서만 상기 비트 라인(BL)에 전달된 상기 마지막 기입 데이터 전압이 상기 메모리 셀 어레이부(120)의 메모리 셀로 제공된다.

- <68> 그리고 프리차지 커맨드 신호(PRE)에 의해 상기 워드 라인 신호(WL)는 비활성화되어 상기 워드 라인과 상기 메모리 셀 어레이부(120)의 메모리 셀은 전기적으로 절연되고, 이 때의 비트 라인(BL)의 전압이 상기 메모리 셀 어레이부(120)의 메모리 셀의 기입 전압으로 결정된다.
- <69> 도 2는 종래의 반도체 장치의 카운터 제어부를 나타내는 회로도이다. 상기 카운터 제어부(100)는 도 2에 도시된 것처럼, 기입 회복 시간(tWR)의 값에 상관없이 항상 상기 제 3 컬럼 어드레스 버스트 카운터 출력 신호(CNT2)와 전원 전압 신호(VDD)의 논리곱(107)의 연산 신호에 의해서 컬럼 어드레스 버스트 카운터의 정지 신호(CNTSTOP)를 제공한다. 도 2에서는 데이터의 버스트 길이가 4인 경우의 동작회로이다.
- <70> 도 3은 종래의 반도체 장치($tWR=2$ 클럭인 경우)의 라이트(Write; 기입) 동작을 나타내는 타이밍 다이어그램이다. 일반적으로 반도체 장치는 도 3에 도시된 것처럼, 마스터 클럭 신호(CLK)의 C2에서 액티베이션 커맨드 신호와 외부 어드레스 신호(ADDR)가 입력되어 액티베이션된 상태로 설정되며 상기 외부 어드레스에 해당되는 워드 라인 신호(WL)가 활성화된다. 상기 워드 라인 신호(WL)는 프리차지 커맨드 신호(PRE)에 의해서 비활성화된다.
- <71> 마스터 클럭 신호(CLK)의 C4에서 기입 커맨드 신호(WRITE)가 입력되고 외부 어드레스 신호(ADDR)가 입력되면 첫번째 데이터(D0)가 기입되는 컬럼 어드레스 신호(CAi;Y0)가 활성화된다. 상기 기입 커맨드 신호(WRITE)가 입력되면 기입 인이에블 신호(PWR)가 활성화되고, 그럼으로써 컬럼 어드레스 세트 신호(CASET)가 활성화된다.
- <72> 컬럼 어드레스 버스트 카운터 출력 신호들(CNT0, CNT1, CNT2)이 상기 기입 인에이블 신호(PWR)에 의해서 활성화되며, 제 1 컬럼 어드레스 버스트 카운터 출력 신호(CNT0)는 상기 마스터 클럭 신호(CLK)를 카운트하여 활성화되고, 제 2 컬럼 어드레스 버스트 카운터 출력 신호

(CNT1)는 상기 제 1 컬럼 어드레스 버스트 카운터 출력 신호(CNT0)를 카운트하여 활성화되며, 제 3 컬럼 어드레스 버스트 카운터 출력 신호(CNT2)는 상기 제 2 컬럼 어드레스 버스트 카운터 출력 신호(CNT1)를 카운트하여 활성화된다.

<73> 상기 첫번째 데이터(D0)가 기입되는 컬럼 어드레스 신호(CAi; Y0)가 활성화된 후에는 상기 컬럼 어드레스 버스트 카운터 출력 신호들(CNT0, CNT1, CNT2)에 의해서 다음 컬럼 어드레스 신호(Y1, Y2, Y3)가 활성화된다.

<74> 상기 제 3 컬럼 어드레스 버스트 카운터 출력 신호(CNT2)에 의해서 컬럼 어드레스 버스트 카운터의 정지 신호(CNTSTOP)가 활성화되고, 그럼으로써 상기 기입 인에이블 신호(PWR)는 비활성화된다.

<75> 상기 기입 인에이블 신호(PWR)에 의해서 컬럼 선택 라인 인에이블 신호(PCSLE)와 컬럼 선택 라인 디스에이블 신호(PCSLE)가 활성화되고, 상기 컬럼 선택 라인 인에이블 신호(PCSLE)에 의해서 컬럼 선택 라인 신호(CSL)는 활성화되고, 상기 컬럼 선택 라인 디스에이블 신호(PCSLE)에 의해서 상기 컬럼 선택 라인 신호(CSL)는 비활성화된다.

<76> 종래의 반도체 장치는 기입 회복 시간(t_{WR}) 동안에는 마지막 데이터(D3)가 상기 컬럼 선택 라인 신호(CSL)에 의해서 상기 비트 라인(BL)으로 전달되면 상기 컬럼 선택 라인 신호(CSL)는 비활성화되어 상기 비트 라인(BL)과 상기 데이터 라인(DL)은 전기적으로 절연된다.

<77> 도 4는 본 발명의 일실시예에 따른 반도체 장치의 구성을 나타내는 블록 구성도이고, 도 1 내지 도 3과 동일 또는 해당 부분에는 동일 부호를 붙여 설명을 생략한다.

- <78> 기입 회복 시간(t_{WR}) 인에이블 신호 발생부(300)는 해당되는 기입 회복 시간(t_{WR})의 값에 따라서 기입 회복 시간(t_{WR}) 인에이블 신호(Pt_{WR1} , Pt_{WR2} , Pt_{WR3})를 카운터 제어부(200)에 제공한다.
- <79> 상기 카운터 제어부(200)는 상기 컬럼 어드레스 버스트 카운터의 출력 신호들($CNT0$, $CNT1$, $CNT2$)과 해당되는 기입 회복 시간(t_{WR}) 인에이블 신호의 논리곱 연산에 의해서 상기 컬럼 어드레스 버스트 카운터의 정지 신호($CNTSTOP$)를 제공한다. 상기 컬럼 어드레스 버스트 카운터의 정지 신호($CNTSTOP$)는 기입 회복 시간(t_{WR})의 값에 비례하여 지연 제공된다. 그러므로 상기 커맨드 신호 제어부는 상기 기입 인에이블 신호(PWR)를 상기 기입 회복 시간(t_{WR}) 동안에 계속해서 제공한다.
- <80> 상기 컬럼 어드레스 카운터(90)는 상기 마스터 클럭 신호(CLK)와 상기 기입 인에이블 신호(PWR)에 의해서 활성화되어 상기 컬럼 어드레스 버퍼(40)에 상기 내부 컬럼 어드레스 신호($PCAi$)를 제공한다. 상기 컬럼 어드레스 카운터(80)는 상기 내부 컬럼 어드레스 신호($PCAi$)의 마지막 신호를 상기 기입 회복 시간(t_{WR}) 동안에 상기 마스터 클럭 신호(CLK)의 1 클럭 이상 계속해서 제공한다. 그러므로 상기 컬럼 어드레스 버퍼(40)는 상기 기입 회복 시간(t_{WR}) 동안에 마지막 컬럼 어드레스 신호(CAi)를 상기 마스터 클럭 신호(CLK)의 1 클럭 이상 계속해서 제공한다.
- <81> 따라서 상기 메인 디코더(60)는 마지막 컬럼 선택 라인 신호($CSL3$)를 상기 기입 회복 시간(t_{WR}) 동안에 제공한다.
- <82> 종래의 반도체 장치에서는 상기 기입 회복 시간(t_{WR}) 동안에 상기 비트 라인(BL) 전압은 단지 비트 라인 증폭부(130)에 의해서 제공되는 것에 비해서, 본 발명의 일실시예에 따른 반

도체 장치에서는 상기 기입 회복 시간(t_{WR}) 동안에 상기 컬럼 선택 라인 신호(CSL)를 반복하여 제공함으로써 상기 라이트 드라이버부(140)에 의해서 제공된다.

<83> 특히 마지막 기입 데이터가 저장된 데이터와 상반되는 경우에는 보다 효과적으로 메모리 셀의 기입 데이터 전압을 확보할 수 있다.

<84> 도 5는 본 발명의 일실시예에 따른 반도체 장치의 컬럼 선택 라인 신호의 인에이블 및 디스에이블 신호 발생부를 나타내는 회로도이다. 상기 컬럼 선택 라인 인에이블 신호(PCSLE)는 도 5에 도시된 것처럼, 상기 기입 인에이블 신호(PWR)와 상기 클럭 신호(CLK)의 논리곱(11) 연산에 의해 제공된다.

<85> 상기 컬럼 선택 라인 디스에이블 신호(PCSLE)는 도 5에 도시된 것처럼, 소정의 지연 시간 후의 마스터 클럭 신호(CLK)와 상기 마스터 클럭 신호(CLK)의 반전 신호로 활성화되어 전달된 상기 기입 인에이블 신호(PWR)의 논리곱(13) 연산에 의해 제공된다.

<86> 상기 컬럼 선택 라인 디스에이블 신호(PCSLE)는 상기 마스터 클럭 신호(CLK)의 반전 신호에 의해서 활성화되어 전달된 상기 기입 인에이블 신호(PWR)에 의해서 제공됨으로써 상기 컬럼 선택 라인 인에이블 신호(PCSLE)에 비해서 지연되어 제공될 수 있다.

<87> 상기 컬럼 선택 라인 디스에이블 신호(PCSLE)는 상기 컬럼 선택 라인 인에이블 신호(PCSLE)에 비해서 최소한 상기 컬럼 선택 라인 인에이블 신호(PCSLE)의 제공 주기의 1/2만큼 지연된 후에 제공되는 것이 바람직하다.

<88> 도 6은 본 발명의 일실시예에 따른 반도체 장치의 커맨드 신호 제어부를 나타내는 회로도이다. 상기 커맨드 신호 제어부(20)는 외부에서 입력되는 커맨드 신호 중에서 커맨드 디코더(21)에 의해 기입 동작을 정의하는 기입 커맨드 신호(PWRITE)에 의해 활성화되며, 상기

컬럼 어드레스 버스트 카운터의 정지 신호(CNTSTOP)에 의해 비활성화되어 상기 기입 인에이블 신호(PWR)를 제공한다. 그리고 상기 커맨드 디코더(21)는 워드 라인 드라이버(30)를 활성화시키는 로우 마스터 신호(PR)를 제공한다.

<89> 상기 기입 인에이블 신호(PWR)를 제공하는 신호 발생부는 도 6에 도시된 것처럼, 상기 기입 커맨드 신호(PWRITE)가 입력되는 제 1 노아 게이트(22), 상기 컬럼 어드레스 버스트 카운터의 정지 신호(CNTSTOP)가 입력되고 상기 제 1 노아 게이트와 래치로 연결되는 제 2 노아 게이트(23) 및 상기 제 1 노아 게이트의 출력단에 연결되는 인버터(24)를 포함하여 구성할 수 있다.

<90> 도 7은 본 발명의 일실시예에 따른 반도체 장치의 컬럼 어드레스 버퍼를 나타내는 회로도이다. 상기 컬럼 어드레스 버퍼(40)는 도 7에 도시된 것처럼, 상기 컬럼 어드레스 버스트 카운터의 정지 신호(CNTSTOP)에 의해 리셋되고, 상기 컬럼 어드레스 세트 신호(CASET)에 의해 활성화되며, 상기 외부 어드레스 신호(ADDR)가 버퍼(43)를 통하여 소정의 지연 시간 후에 전달되어 상기 컬럼 어드레스 신호(CAi)를 제공한다.

<91> 상기 컬럼 어드레스 버퍼(40)는 상기 외부 어드레스 신호(ADDR)에 의해서 상기 컬럼 어드레스 신호(CAi)를 제공한 후에는, 상기 마스터 클럭 신호(CLK)와 상기 컬럼 어드레스 세트 신호(CASET)의 반전 신호의 논리곱(47) 연산 신호에 의해 활성화되고, 상기 내부 컬럼 어드레스 신호(PCAi)가 전달되어 상기 컬럼 어드레스 신호(CAi)를 제공한다.

<92> 도 8은 본 발명의 일실시예에 따른 반도체 장치의 메인 디코더를 나타내는 회로도이다. 상기 메인 디코더(60)는 상기 컬럼 선택 라인 인에이블 신호(PCSLE)와 컬럼 어드레스 신호(CAi)로 활성화되는 컬럼 어드레스 선택 신호(DCaij)의 논리곱(61) 연산 신호에 의해서 활성화

되고, 상기 컬럼 선택 라인 디스에이블 신호(PCSLE)에 의해서 비활성화되어 상기 컬럼 선택 라인 신호(CSL)를 제공한다.

<93> 상기 메인 디코더는 도 8에 도시된 것처럼, 상기 컬럼 선택 라인 인에이블 신호(PCSLE)와 상기 컬럼 어드레스 선택 신호(DCaij)의 논리곱(61) 연산 신호가 입력되는 제 1 피모스 트랜지스터(63), 상기 컬럼 선택 라인 인에이블 신호(PCSLE)와 상기 컬럼 어드레스 선택 신호(DCaij)의 논리곱 연산 신호가 입력되는 엔모스 트랜지스터(65), 상기 컬럼 선택 라인 디스에이블 신호(PCSLE)의 반전 신호가 입력되고 상기 제 1 피모스 트랜지스터(63)와 상기 엔모스 트랜지스터(65) 사이에 연결되는 제 2 피모스 트랜지스터(64) 및 상기 제 2 피모스 트랜지스터(64)와 상기 엔모스 트랜지스터(65)가 연결되는 지점에 연결되는 인버터(66)를 포함한다.

<94> 상기 컬럼 선택 라인 인에이블 신호(PCSLE)와 상기 컬럼 어드레스 선택 신호(DCaij)가 모두 하이인 경우에 논리곱 연산 신호가 하이가 되어 상기 제 1 피모스 트랜지스터(63)는 턴오프되고 상기 엔모스 트랜지스터(65)는 턴온되어 상기 인버터(66)의 입력이 로우(low) 상태를 유지하므로, 상기 컬럼 선택 라인 신호(CSL)는 활성화된다.

<95> 상기 컬럼 선택 라인 디스에이블 신호(PCSLE)가 하이(high)가 되면 반전된 신호인 로우 신호가 상기 제 2 피모스 트랜지스터(64)에 입력되어 상기 제 2 피모스 트랜지스터(64)는 턴온되어 상기 인버터(66)의 입력이 하이 상태를 유지하므로, 상기 컬럼 선택 라인 신호(CSL)는 비활성화된다.

<96> 상기 컬럼 선택 라인 디스에이블 신호(PCSLE)는 상기 마스터 클럭 신호(CLK)의 반전 신호에 의해서 인에이블되어 전달된 상기 기입 인에이블 신호(PWR)에 의해서 활성화됨으로써 상기 컬럼 선택 라인 인에이블 신호(PCSLE)에 비해서 지연되어 제공될 수 있다.

- <97> 그림으로써 상기 컬럼 선택 라인 인에이블 신호(PCSLE)에 의해서 상기 컬럼 선택 라인 신호(CSL)가 활성화된 후에 상기 컬럼 선택 라인 디스에이블 신호(PCSLD)에 의해서 상기 컬럼 선택 라인 신호(CSL)가 비활성화될 수 있다.
- <98> 상기 컬럼 선택 라인 디스에이블 신호(PCSLD)는 상술한 것처럼, 상기 컬럼 선택 라인 인에이블 신호(PCSLE)보다 적어도 상기 컬럼 선택 라인 인에이블 신호(PCSLE)의 제공 주기의 1/2 만큼 지연된 후에 제공되는 것이 바람직하다.
- <99> 상기 인버터(66)에 제 2 인버터(67)를 래치(latch)로 더 연결함으로써, 상기 제 2 피모스 트랜지스터(64)와 상기 엔모스 트랜지스터(65)가 연결되는 지점에서 차지가 분배(charge sharing)되어 상기 컬럼 선택 라인 신호(CSL)가 플로팅(하이 상태인지 로우 상태인지를 결정할 수 없는 상태; floating)되는 것을 방지할 수 있다.
- <100> 상기 제 2 인버터(67)는 상기 컬럼 선택 라인 신호(CSL)를 래치하고 있으므로, 상기 제 2 인버터(67)를 구성하는 피모스 트랜지스터와 엔모스 트랜지스터의 폭(width)은 상기 인버터(66)를 구성하는 피모스 트랜지스터와 엔모스 트랜지스터의 폭(width)보다는 작게 설계하여 상기 컬럼 선택 라인 신호(CSL)의 전이를 용이하게 하는 것이 바람직하다.
- <101> 상기 컬럼 어드레스 선택 신호(DCAij)는 컬럼 어드레스 신호(CAi)가 상기 프리디코더(50)를 거쳐 디코딩된 신호로서 다수의 컬럼 라인중 하나를 선택하는 컬럼 어드레스 정보를 가지고 있다.
- <102> 도 9는 본 발명의 일실시예에 따른 반도체 장치의 컬럼 어드레스 세트 신호(CASET) 발생부를 나타내는 회로도이다. 상기 컬럼 어드레스 세트 신호(CASET)는 상기 기입 인에이블 신호(PWR)에 의해 활성화되고 소정의 지연 시간 후에 비활성화된다.

- <103> 상기 컬럼 어드레스 세트 신호(CASET) 발생부(70)는 도 9에 도시된 것처럼, 상기 기입 인에이블 신호(PWR)와 상기 기입 인에이블 신호(PWR)가 입력되는 3 개의 직렬의 인버터(인버터 체인; 71, 72, 73)의 출력 신호의 논리곱(74) 신호에 의해서 상기 컬럼 어드레스 세트 신호(CASET)를 제공한다.
- <104> 상기 기입 인에이블 신호(PWR)가 활성화되면 상기 인버터 체인(71, 72, 73)의 출력 신호는 소정의 지연 시간후에 비활성화되므로, 상기 지연 시간 동안은 상기 컬럼 어드레스 세트 신호(CASET)는 활성화된다.
- <105> 상기 컬럼 어드레스 세트 신호(CASET) 발생부는 상기 인버터 체인(71, 72, 73)의 인버터의 개수에 비례하여 상기 기입 인에이블 신호(PWR)의 지연 시간이 증가되므로 상기 인버터 체인(71, 72, 73)의 인버터의 개수를 조절하여 상기 컬럼 어드레스 세트 신호(CASET)가 활성화되는 시간이 조절할 수 있다.
- <106> 상기 인버터 체인(71, 72, 73)의 인버터의 개수는 홀수이어야만 소정의 지연 시간 후에 상기 컬럼 어드레스 세트 신호(CASET)는 비활성화될 수 있다.
- <107> 도 10은 본 발명의 일실시예에 따른 반도체 장치의 카운터 제어부를 나타내는 회로도이다. 상기 카운터 제어부(200)는 도 10에 도시된 것처럼, 상기 컬럼 어드레스 버스트 카운터의 정지 신호(CNTSTOP)를 기입 회복 시간(t_{WR})이 1(1 클럭)인 경우에는 제 3 컬럼 어드레스 버스트 카운터 출력 신호(CNT2)와 그에 해당하는 기입 회복 시간(t_{WR}) 인에이블 신호(t_{WR1})의 논리곱(205) 연산 신호에 의해서 제공한다.
- <108> 상기 카운터 제어부(200)는 상기 컬럼 어드레스 버스트 카운터의 정지 신호(CNTSTOP)를 기입 회복 시간(t_{WR})이 2(2 클럭)인 경우에는 제 1 컬럼 어드레스 버스트 카운터 출력 신호

(CNT0) 및 상기 제 3 컬럼 어드레스 버스트 카운터 출력 신호(CNT2)의 논리곱(201) 연산 신호와 그에 해당하는 기입 회복 시간 인에이블 신호(tWR2)의 논리곱(202) 연산 신호에 의해서 제공하고, 상기 기입 회복 시간(tWR)이 3(3 클럭)인 경우에는 제 2 컬럼 어드레스 버스트 카운터 출력 신호(CNT1) 및 상기 제 3 컬럼 어드레스 버스트 카운터 출력 신호(CNT2)의 논리곱(203) 연산 신호와 그에 해당하는 기입 회복 시간 인에이블 신호(tWR3)의 논리곱(204) 연산 신호에 의해서 제공한다.

<109> 상기 컬럼 어드레스 버스트 카운터 출력 신호들(CNT0, CNT1, CNT2)은 상기 기입 인에이블 신호(PWR)에 의해서 활성화되며, 상기 제 1 컬럼 어드레스 버스트 카운터 출력 신호(CNT0)는 상기 마스터 클럭 신호(CLK)를 카운트하여 제공되고, 상기 제 2 컬럼 어드레스 버스트 카운터 출력 신호(CNT1)는 상기 제 1 컬럼 어드레스 버스트 카운터 출력 신호(CNT0)를 카운트하여 제공되며, 상기 제 3 컬럼 어드레스 버스트 카운터 출력 신호(CNT2)는 상기 제 2 컬럼 어드레스 버스트 카운터 출력 신호(CNT1)를 카운트하여 제공된다.

<110> 그러므로 상기 제 2 컬럼 어드레스 버스트 카운터 출력 신호(CNT1)는 상기 제 1 컬럼 어드레스 버스트 카운터 출력 신호(CNT0)보다 상기 마스터 클럭 신호(CLK)의 1 클럭만큼 늦게 제공되고 제공 주기는 상기 제 1 컬럼 어드레스 버스트 카운터 출력 신호(CNT0)의 것보다 2 배가 된다.

<111> 마찬가지로 상기 제 3 컬럼 어드레스 버스트 카운터 출력 신호(CNT2)는 상기 제 2 컬럼 어드레스 버스트 카운터 출력 신호(CNT1)보다 상기 마스터 클럭 신호(CLK)의 1 클럭만큼 늦게 제공되고 제공 주기는 상기 제 2 컬럼 어드레스 버스트 카운터 출력 신호(CNT1)의 것보다 2 배가 된다.

<112> 따라서 기입 회복 시간(t_{WR})이 2(2 클럭)인 경우에는 기입 회복 시간(t_{WR})이 1(1 클럭)인 경우에 비해서 상기 컬럼 어드레스 버스트 카운터의 정지 신호(CNTSTOP)가 상기 마스터 클럭 신호(CLK)의 1 클럭만큼 지연되어 제공되고, 기입 회복 시간(t_{WR})이 3(3 클럭)인 경우에는 기입 회복 시간(t_{WR})이 2(2 클럭)인 경우에 비해서 상기 컬럼 어드레스 버스트 카운터의 정지 신호(CNTSTOP)가 상기 마스터 클럭 신호(CLK)의 1 클럭만큼 지연되어 제공된다.

<113> 상술한 것처럼, 상기 카운터 제어부는 상기 제 3 컬럼 어드레스 버스트 카운터 출력 신호(CNT2)보다 상기 마스터 클럭 신호(CLK)의 1 클럭만큼 지연되어 제공되고, 상기 제 3 컬럼 어드레스 버스트 카운터 출력 신호(CNT2)의 제공 주기보다 제공 주기가 2 배인 제 4 컬럼 어드레스 버스트 카운터 출력 신호 및 상기 제 3 컬럼 어드레스 버스트 카운터 출력 신호(CNT2)의 논리곱 연산 신호와 그에 해당하는 기입 회복 시간 인에이블 신호(t_{WR4})의 논리곱 연산 신호에 의해서 상기 컬럼 어드레스 버스트 카운터의 정지 신호(CNTSTOP)를 제공함으로써 기입 회복 시간(t_{WR})이 4(4 클럭)인 경우의 상기 컬럼 어드레스 버스트 카운터의 정지 신호(CNTSTOP)의 제공 시점을 기입 회복 시간(t_{WR})이 3(3 클럭)인 경우에 비해서 상기 마스터 클럭 신호(CLK)의 1 클럭만큼 지연시킬 수 있다.

<114> 상기 카운터 제어부(200)는 동일한 방법으로 다수의 기입 회복 시간(t_{WR})의 값에 비례해서 상기 컬럼 어드레스 버스트 카운터의 정지 신호(CNTSTOP)의 제공 시점을 상기 마스터 클럭 신호(CLK)의 클럭 수만큼 지연시켜 제공할 수 있다.

<115> 도 11은 본 발명의 일실시예에 따른 반도체 장치의 기입 회복 시간 인에이블 신호 발생부를 나타내는 회로도이다. 기입 회복 시간 인에이블 신호 발생부(300)는 기입 회복 시간(t_{WR})의 값의 종류의 수만큼으로 구성함으로써 원하는 기입 회복 시간(t_{WR})의 값을 설정할 수 있다.

<116> 상기 기입 회복 시간 인에이블 신호 발생부(300)는 도 11에 도시된 것처럼, 기입 회복 시간 결정 신호(POWER_UP)의 반전 신호가 입력되는 피모스 트랜지스터(302), 상기 기입 회복 시간 결정 신호의 반전 신호(POWER_UP)가 입력되는 엔모스 트랜지스터(304), 상기 피모스 트랜지스터(302)와 상기 엔모스 트랜지스터(304) 사이에 연결되어 필요에 따라 상기 피모스 트랜지스터(302)와 상기 엔모스 트랜지스터(304)를 전기적으로 절연시키는 퓨즈부(303) 및 상기 퓨즈부(303)와 상기 엔모스 트랜지스터(304)가 연결되는 지점에 연결되는 인버터(305)를 포함한다.

<117> 상기 기입 회복 시간 인에이블 신호 발생부(300)는 상기 기입 회복 시간 결정 신호(POWER_UP)가 로우(low)인 경우에는 그 반전 신호는 하이(high)가 되어 상기 피모스 트랜지스터(302)는 턴오프되고 상기 엔모스 트랜지스터(304)는 턴온되어 상기 인버터(305)의 입력이 로우 상태를 유지하므로, 상기 기입 회복 시간 인에이블 신호(PtWR1, PtWR2, PtWR3)를 활성화시킨다.

<118> 상기 기입 회복 시간 인에이블 신호 발생부(300)는 상기 기입 회복 시간 결정 신호(POWER_UP)가 하이인 경우에는 그 반전 신호는 로우가 되어 상기 피모스 트랜지스터(302)는 턴온되고 상기 엔모스 트랜지스터(304)는 턴오프되어 상기 인버터(305)의 입력이 하이 상태를 유지하므로, 상기 기입 회복 시간 인에이블 신호(PtWR1, PtWR2, PtWR3)를 비활성화시킨다.

<119> 상기 인버터(305)에 제 2 인버터(306)를 래치로 더 연결함으로써, 상기 퓨즈부와 상기 엔모스 트랜지스터(304)가 연결되는 지점에서 차지가 분배(charge sharing)되어 상기 기입 회복 시간 인에이블 신호(PtWR1, PtWR2, PtWR3)가 플로팅(하이 상태인지 로우 상태인지)을 결정할 수 없는 상태(floating)되는 것을 방지할 수 있다.

<120> 상기 제 2 인버터(306)는 상기 기입 회복 시간 인에이블 신호(PtWR1, PtWR2, PtWR3)를 래치하고 있으므로, 상기 제 2 인버터(306)를 구성하는 피모스 트랜지스터와 엔모스 트랜지스터의 폭(width)은 상기 인버터(305)를 구성하는 피모스 트랜지스터와 엔모스 트랜지스터의 폭(width)보다는 작게 설계하여 상기 기입 회복 시간 인에이블 신호(PtWR1, PtWR2, PtWR3)의 전 이를 용이하게 하는 것이 바람직하다.

<121> 상기 기입 회복 시간 인에이블 신호 발생부(300)는 기입 회복 시간 값에 해당하는 퓨즈부(303)를 절단하고 나머지 퓨즈부(303)는 그래로 두고 상기 기입 회복 시간 결정 신호(POWER_UP)를 로우에서 하이로 전이시켜 계속 하이 상태를 유지시킨다.

<122> 그럼으로써 퓨즈부(303)가 절단된 것은 상기 기입 회복 시간 결정 신호(POWER_UP)가 로우 상태에서 상기 인버터(305)의 입력이 로우 상태로 되어 상기 기입 회복 시간 인에이블 신호(PtWR1, PtWR2, PtWR3)가 활성화되고, 상기 기입 회복 시간 결정 신호(POWER_UP)가 하이 상태로 전이하여도 상기 퓨즈부(303)가 상기 피모스 트랜지스터(302)와 상기 엔모스 트랜지스터(304)를 전기적으로 절연시키므로 상기 인버터(305)의 입력이 계속해서 로우 상태를 유지하여 상기 기입 회복 시간 인에이블 신호(PtWR1, PtWR2, PtWR3)는 계속해서 활성화된다.

<123> 반면에, 퓨즈부(303)가 절단되지 않은 것은 상기 기입 회복 시간 결정 신호(POWER_UP)가 로우 상태에는 상기 인버터(305)의 입력이 로우 상태로 되어 상기 기입 회복 시간 인에이블 신호가 활성화되지만, 상기 기입 회복 시간 결정 신호(POWER_UP)가 하이 상태로 전이하면 상기 피모스 트랜지스터(302)와 상기 엔모스 트랜지스터(304)가 전기적으로 연결되어 있어 상기 인버터(305)의 입력이 하이 상태로 전이하므로 상기 기입 회복 시간 인에이블 신호(PtWR1, PtWR2, PtWR3)는 비활성화된다.

- <124> 도 12는 본 발명의 일실시예에 따른 반도체 장치($t_{WR}=2$ 클럭인 경우)의 라이트 동작을 나타내는 타이밍 다이어그램이다. 본 발명의 일실시예에 따른 반도체 장치는 도 12에 도시된 것처럼, 마스터 클럭 신호(CLK)의 C2에서 액티베이션 커맨드 신호와 외부 어드레스 신호(ADDR)가 입력되어 액티베이션된 상태로 설정되며 상기 어드레스에 해당되는 워드 라인 신호(WL)가 활성화된다. 상기 워드 라인 신호(WL)는 프리차지 커맨드 신호에 의해서 비활성화된다.
- <125> 마스터 클럭 신호(CLK)의 C4에서 기입 커맨드 신호가 입력되고 외부 어드레스 신호(ADDR)가 입력되면 첫번째 데이터가 기입되는 컬럼 어드레스 신호(CAi)가 활성화된다. 상기 기입 커맨드 신호가 입력되면 기입 인이에블 신호가 활성화되고, 그럼으로써 컬럼 어드레스 세트 신호(CASET)가 활성화된다.
- <126> 컬럼 어드레스 버스트 카운터 출력 신호들(CNT0, CNT1, CNT2)이 상기 기입 인에이블 신호(PWR)에 의해서 활성화되며, 제 1 컬럼 어드레스 버스트 카운터 출력 신호(CNT0)는 상기 마스터 클럭 신호(CLK)를 카운트하여 활성화되고, 제 2 컬럼 어드레스 버스트 카운터 출력 신호(CNT1)는 상기 제 1 컬럼 어드레스 버스트 카운터 출력 신호(CNT0)를 카운트하여 활성화되며, 제 3 컬럼 어드레스 버스트 카운터 출력 신호(CNT2)는 상기 제 2 컬럼 어드레스 버스트 카운터 출력 신호(CNT1)를 카운트하여 활성화된다.
- <127> 상기 첫번째 데이터가 기입되는 컬럼 어드레스 신호(CAi)가 활성화된 후에는 상기 컬럼 어드레스 버스트 카운터 출력 신호들에 의해서 다음 컬럼 어드레스 신호(CAi)가 활성화된다.
- <128> 상기 제 3 컬럼 어드레스 버스트 카운터 출력 신호(CNT2)와 상기 제 1 컬럼 어드레스 버스트 카운터 출력 신호(CNT0)의 논리곱 신호에 의해서 컬럼 어드레스 버스트 카운터의 정지 신호(CNTSTOP)가 활성화되고, 그럼으로써 상기 기입 인에이블 신호(PWR)는 비활성화된다.

<129> 상기 기입 인에이블 신호(PWR)에 의해서 컬럼 선택 라인 인에이블 신호(PCSLE)와 컬럼 선택 라인 디스에이블 신호(PCSLD)가 활성화되고, 상기 컬럼 선택 라인 인에이블 신호(PCSLE)에 의해서 컬럼 선택 라인 신호(CSL)는 활성화되고, 상기 컬럼 선택 라인 디스에이블 신호(PCSLD)에 의해서 상기 컬럼 선택 라인 신호(CSL)는 비활성화된다.

<130> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술 분야의 당업자(통상의 지식을 가진 자)는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경 하지 않고서 다른 구체적인 형태로 실시될 수 있다는 점을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구의 범위에 의하여 나타내어 지며, 특허청구의 범위의 의미 그리고 그 균등 개념(Equivalents)으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

【발명의 효과】

<131> 상기한 바와 같이 이루어진 본 발명에 따르면, 기입 회복 시간(t_{WR}) 동안에 마지막 데이터가 기입되는 컬럼 라인만을 반복해서 활성화시킴으로써 메모리 셀 어레이에 마지막 기입 데이터 전압을 충분히 공급할 수 있고, 또한 기입 회복 시간(t_{WR}) 값에 따라서 마지막 데이터가 기입되는 컬럼 라인을 활성화시키는 시간을 조절할 수 있다.

【특허청구범위】**【청구항 1】**

다수의 반복적인 셀 유닛으로 구성된 메모리 셀 어레이부;

상기 셀 어레이의 비트 라인 전압과 상보 비트 라인 전압 간에 전압차를 증폭하는 비트 라인 증폭부;

컬럼 선택 라인 신호에 의해서 활성화되어 데이터 라인 및 상보 데이터 라인을 상기 비트 라인 및 상보 비트 라인에 각각 전기적으로 연결시키는 스위칭부; 및 기입 인에이블 신호에 의해서 활성화되어 기입 데이터 전압을 상기 데이터 라인과 상보 데이터 라인에 공급하는 라이트 드라이버를 포함하고, 상기 컬럼 선택 라인 신호는 기입 회복 시간 동안에 제공되는 것을 특징으로 하는 반도체 장치.

【청구항 2】

제1항에 있어서,

상기 컬럼 선택 라인 신호는 상기 기입 회복 시간 동안에 반복해서 제공되는 것을 특징으로 하는 반도체 장치.

【청구항 3】

제2항에 있어서,

상기 컬럼 선택 라인 신호를 제공하는 신호 발생부를 더 포함하고, 상기 신호 발생부는 컬럼 선택 라인 인에이블 신호와 컬럼 어드레스 신호로 활성화되는 컬럼 어드레스 선택 신호의 논리곱 연산 신호에 의해서 활성화되고, 컬럼 선택 라인 디스에이블 신호에 의해서 비활성화되어 상기 컬럼 선택 라인 신호를 제공하는 것을 특징으로 하는 반도체 장치.

【청구항 4】

제3항에 있어서,

상기 컬럼 선택 라인 디스에이블 신호는 상기 컬럼 선택 라인 인에이블 신호가 제공된 후에 제공되는 것을 특징으로 하는 반도체 장치.

【청구항 5】

제4항에 있어서,

상기 컬럼 선택 라인 디스에이블 신호는, 상기 컬럼 선택 라인 인에이블 신호보다 적어도 상기 컬럼 선택 라인 인에이블 신호의 제공 주기의 1/2만큼 지연된 후에 제공되는 것을 특징으로 하는 반도체 장치.

【청구항 6】

제3항에 있어서,

상기 신호 발생부는 상기 컬럼 선택 라인 인에이블 신호와 컬럼 어드레스 선택 신호의 논리곱 연산 신호가 입력되는 제 1 피모스 트랜지스터, 상기 컬럼 선택 라인 인에이블 신호와 컬럼 어드레스 선택 신호의 논리곱 연산 신호가 입력되는 엔모스 트랜지스터, 상기 컬럼 선택 라인 디스에이블 신호의 반전된 신호가 입력되고 상기 제 1 피모스 트랜지스터와 상기 엔모스 트랜지스터 사이에 연결되는 제 2 피모스 트랜지스터 및 상기 제 2 피모스 트랜지스터와 상기 엔모스 트랜지스터가 연결되는 지점에 연결되는 인버터를 포함하는 것을 특징으로 하는 반도체 장치.

【청구항 7】

제6항에 있어서,

상기 신호 발생기는 상기 인버터에 래치로 연결되는 제 2 인버터를 더 포함하는 것을 특징으로 하는 반도체 장치.

【청구항 8】

제3항에 있어서,

상기 컬럼 선택 라인 인에이블 신호는 상기 기입 인에이블 신호와 마스터 클럭 신호의 논리곱 연산에 의해 제공되는 것을 특징으로 하는 반도체 장치.

【청구항 9】

제3항에 있어서,

상기 컬럼 선택 라인 디스에이블 신호는 소정의 지연 시간 후에 전달된 상기 마스터 클럭 신호와 상기 마스터 클럭 신호의 반전 신호로 활성화되어 전달된 상기 기입 인에이블 신호의 논리곱 연산에 의해 제공되는 것을 특징으로 하는 반도체 장치.

【청구항 10】

제1항에 있어서,

상기 기입 인에이블 신호를 제공하는 신호 발생부를 더 포함하고, 상기 신호 발생부는 기입 커맨드 신호에 의해서 활성화되고, 컬럼 어드레스 버스트 카운터의 정지 신호에 의해서 비활성화되어 상기 기입 인에이블 신호를 제공하는 것을 특징으로 하는 반도체 장치.

【청구항 11】

제10항에 있어서,

상기 신호 발생부는 상기 기입 커맨드 신호가 입력되는 제 1 노아 게이트, 상기 컬럼 어드레스 버스트 카운터의 정지 신호가 입력되고 상기 제 1 노아 게이트와 래치로 연결되는 제 2 노아 게이트 및 상기 제 1 노아 게이트의 출력단에 연결되는 인버터를 포함하는 것을 특징으로 하는 반도체 장치.

【청구항 12】

제10항에 있어서,

상기 컬럼 어드레스 버스트 카운터의 정지 신호는 상기 기입 회복 시간의 시작 후 적어도 상기 마스터 클럭의 1 클럭이상 지연되어 제공되는 것을 특징으로 하는 반도체 장치.

【청구항 13】

제12항에 있어서,

상기 컬럼 어드레스 버스트 카운터의 정지 신호는 기입 회복 시간의 값에 비례하여 지연 제공되는 것을 특징으로 하는 반도체 장치.

【청구항 14】

제13항에 있어서,

상기 컬럼 어드레스 버스트 카운터의 정지 신호는 기입 회복 시간 인에이블 신호에 의해서 활성화되어 제공되는 것을 특징으로 하는 반도체 장치.

【청구항 15】

제14항에 있어서,

상기 기입 회복 시간 인에이블 신호를 제공하는 신호 발생부를 더 포함하고, 상기 신호 발생부는 기입 회복 시간 결정 신호의 반전 신호가 입력되는 피모스 트랜지스터, 상기 기입 회

복 시간 결정 신호의 반전 신호가 입력되는 엔모스 트랜지스터, 상기 피모스 트랜지스터와 상기 엔모스 트랜지스터 사이에 연결되는 퓨즈부 및 상기 퓨즈부와 상기 엔모스 트랜지스터가 연결되는 지점에 연결되는 인버터를 포함하는 것을 특징으로 하는 반도체 장치.

【청구항 16】

제15항에 있어서,

상기 신호 발생부는 상기 인버터에 래치로 연결된 제 2 인버터를 더 포함하는 것을 특징으로 하는 반도체 장치.

【청구항 17】

제3항에 있어서,

상기 컬럼 어드레스 신호는 어드레스 신호가 소정의 지연 시간 후에 전달되어 제공되면, 이후에는 내부 컬럼 어드레스 신호가 전달되어 제공되는 것을 특징으로 하는 반도체 장치.

【청구항 18】

제17항에 있어서,

상기 컬럼 어드레스 신호는 상기 컬럼 어드레스 버스트 카운터의 정지 신호에 의해 리셋되는 것을 특징으로 하는 반도체 장치.

【청구항 19】

제18항에 있어서,

상기 컬럼 어드레스 신호는 상기 컬럼 어드레스 세트 신호에 의해서 활성화되고 상기 어드레스 신호가 소정의 지연 시간 후에 전달되어 제공되는 것을 특징으로 하는 반도체 장치.

【청구항 20】

제19항에 있어서,

상기 컬럼 어드레스 신호는 상기 마스터 클럭 신호와 상기 컬럼 어드레스 세트 신호의 반전 신호의 논리곱 연산 신호에 의해서 활성화되고 상기 내부 컬럼 어드레스 신호가 전달되어 제공되는 것을 특징으로 하는 반도체 장치.

【청구항 21】

제20항에 있어서,

상기 컬럼 어드레스 신호는 상기 기입 회복 시간의 시작부터 적어도 상기 마스터 클럭의 1 클럭이상 동안 제공되는 것을 특징으로 하는 반도체 장치.

【청구항 22】

제21항에 있어서,

상기 컬럼 어드레스 신호는 기입 회복 시간의 값에 비례하여 제공되는 것을 특징으로 하는 반도체 장치.

【청구항 23】

제19항에 있어서,

상기 컬럼 어드레스 세트 신호는 상기 기입 인에이블 신호에 의해 활성화되고 소정의 지연 시간 후에 비활성화되는 것을 특징으로 하는 반도체 장치.

【청구항 24】

다수의 반복적인 셀 유닛으로 구성된 메모리 셀 어레이부, 상기 셀 어레이의 비트 라인 전압과 상보 비트 라인 전압 간에 전압차를 증폭하는 비트 라인 증폭부, 컬럼 선택 라인 신호

에 의해서 활성화되어 데이터 라인 및 상보 데이터 라인을 상기 비트 라인 및 상보 비트 라인에 각각 전기적으로 연결시키는 스위칭부 및 기입 인에이블 신호에 의해서 활성화되어 기입 데이터 전압을 상기 데이터 라인과 상보 데이터 라인에 공급하는 라이트 드라이버를 포함하는 반도체 장치를 제어하는 방법에 있어서,

데이터 전압이 상기 메모리 셀 어레이부에 기입되는 단계; 및
상기 컬럼 선택 라인 신호가 기입 회복 시간 동안에 제공되는 단계를 포함하는 것을 특징으로 하는 반도체 장치를 제어하는 방법.

【청구항 25】

제24항에 있어서,

상기 컬럼 선택 라인 신호가 제공되는 단계에서 상기 컬럼 선택 라인 신호는 반복해서 제공되는 것을 특징으로 하는 반도체 장치를 제어하는 방법.

【청구항 26】

제25항에 있어서,

상기 컬럼 선택 라인 신호가 제공되는 단계에서 상기 컬럼 선택 라인 신호는 상기 기입 인에이블 신호에 의해서 활성화되는 것을 특징으로 하는 반도체 장치를 제어하는 방법.

【청구항 27】

제26항에 있어서,

상기 컬럼 선택 라인 신호가 제공되는 단계에서 상기 기입 인에이블 신호는 상기 기입 회복 시간의 시작 후 적어도 마스터 클럭의 1 클럭이상 동안 제공되는 것을 특징으로 하는 반도체 장치를 제어하는 방법.

【청구항 28】

제27항에 있어서,

상기 컬럼 선택 라인 신호가 제공되는 단계에서 상기 기입 인에이블 신호는 기입 회복 시간의 값에 비례해서 제공되는 것을 특징으로 하는 반도체 장치를 제어하는 방법.

【청구항 29】

제28항에 있어서,

상기 컬럼 선택 라인 신호가 제공되는 단계에서 상기 기입 인에이블 신호는 컬럼 어드레스 버스트 카운터의 정지 신호에 의해서 비활성화되는 것을 특징으로 하는 반도체 장치를 제어하는 방법.

【청구항 30】

제29항에 있어서,

상기 컬럼 선택 라인 신호가 제공되는 단계에서 상기 컬럼 어드레스 버스트 카운터의 정지 신호는 상기 기입 회복 시간의 시작 후 적어도 상기 마스터 클럭의 1 클럭이상 지연 제공되는 것을 특징으로 하는 반도체 장치를 제어하는 방법.

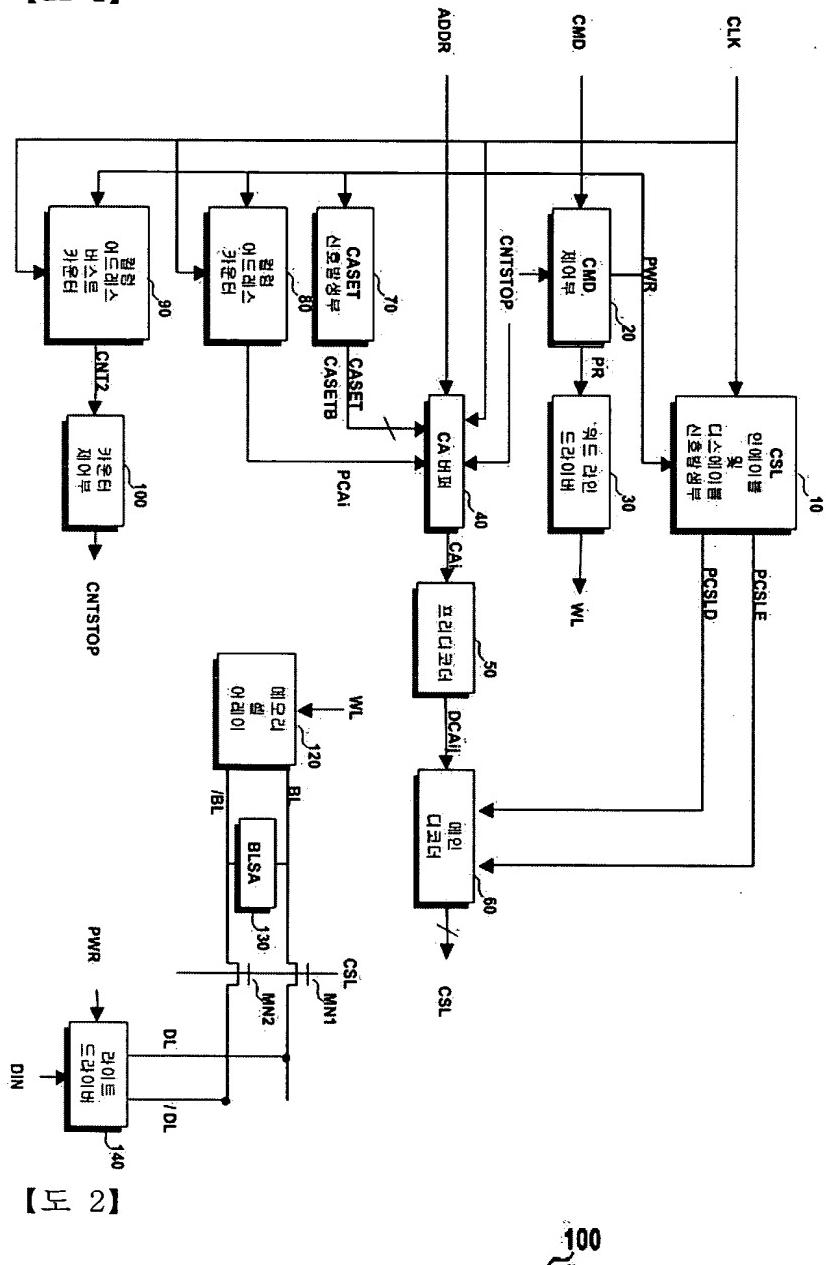
【청구항 31】

제30항에 있어서,

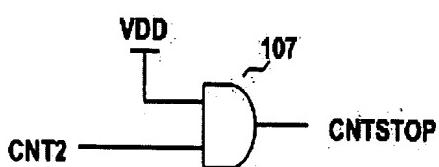
상기 컬럼 선택 라인 신호가 제공되는 단계에서 상기 컬럼 어드레스 버스트 카운터의 정지 신호는 기입 회복 시간의 값에 따라서 비례하여 지연 제공되는 것을 특징으로 하는 반도체 장치를 제어하는 방법.

【도면】

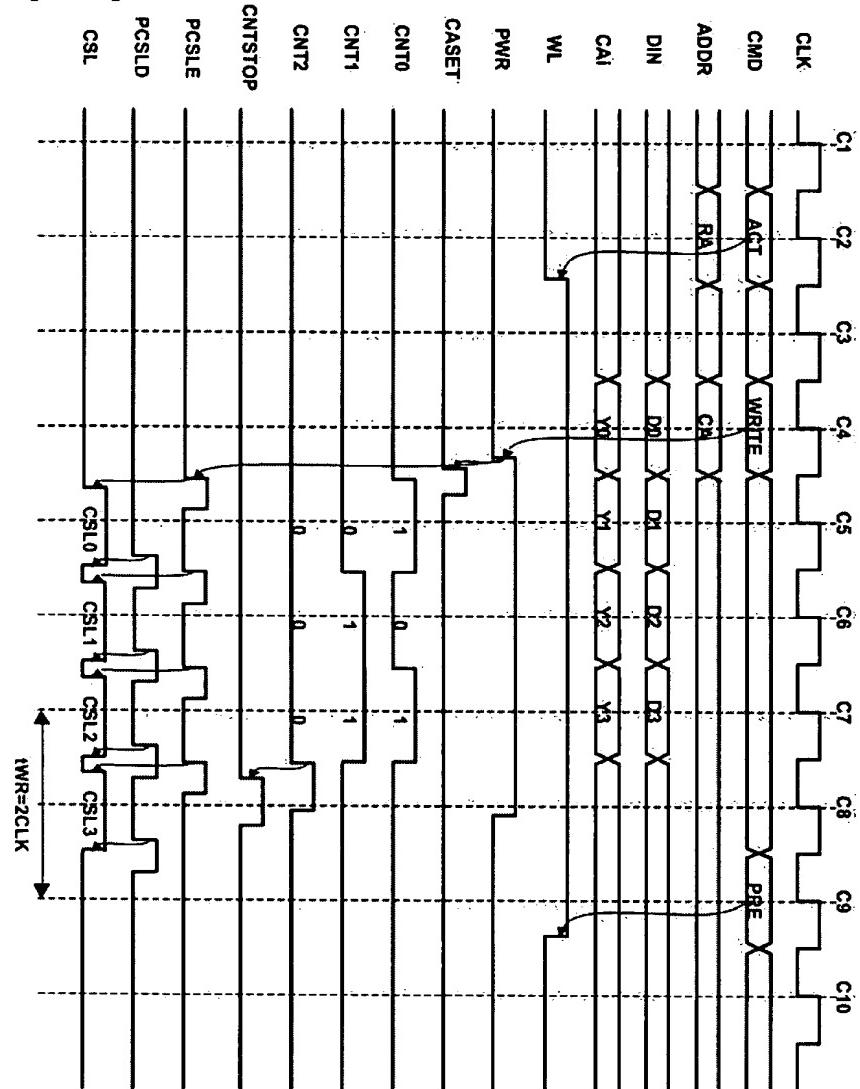
【도 1】



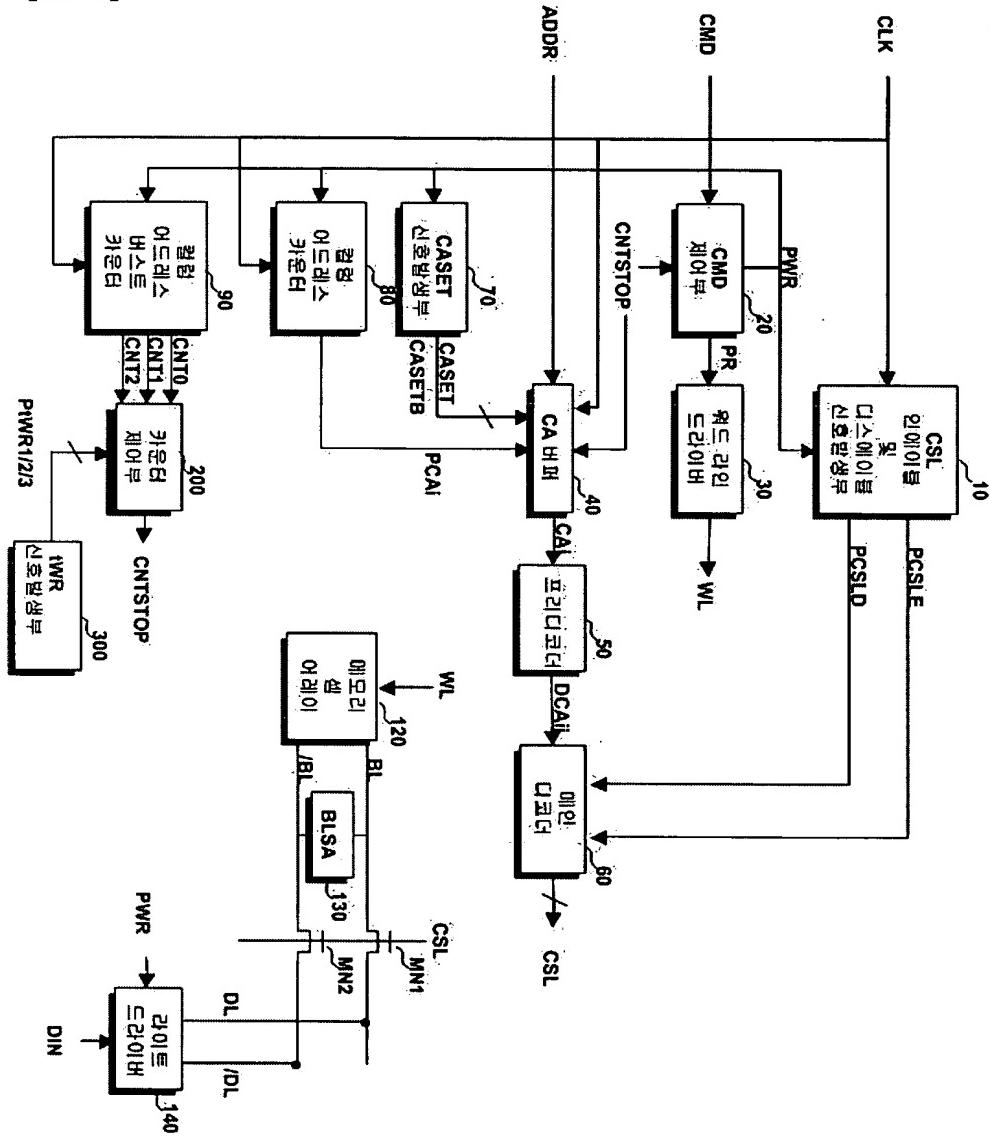
【도 2】



【도 3】

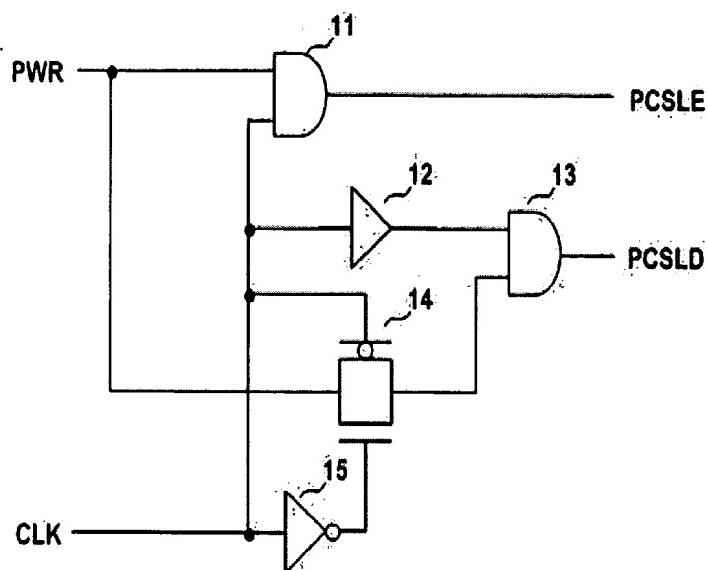


【내 4】



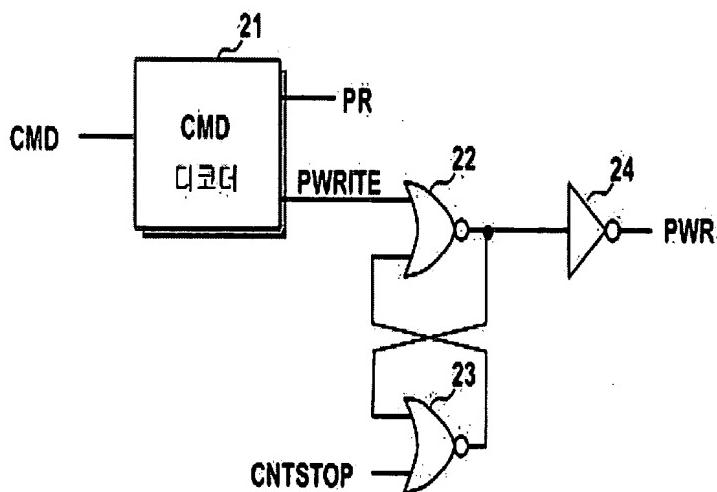
【도 5】

10

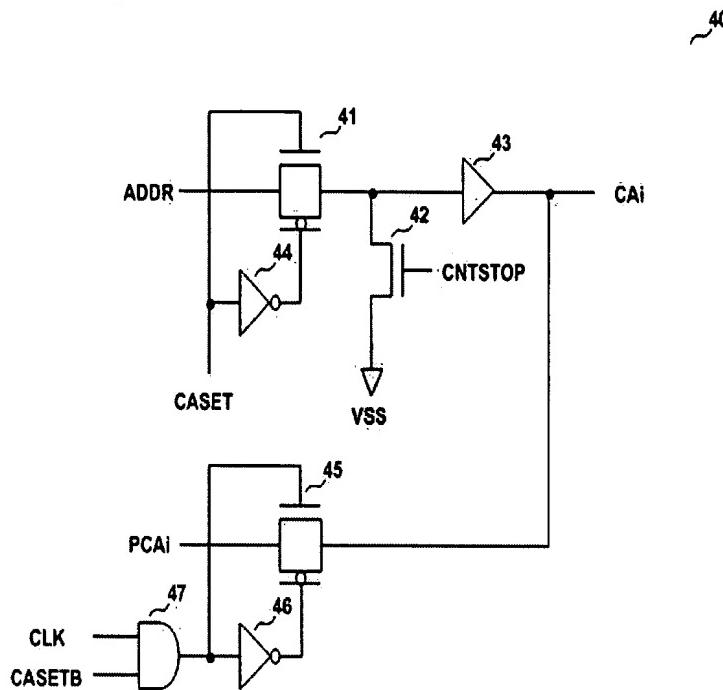


【도 6】

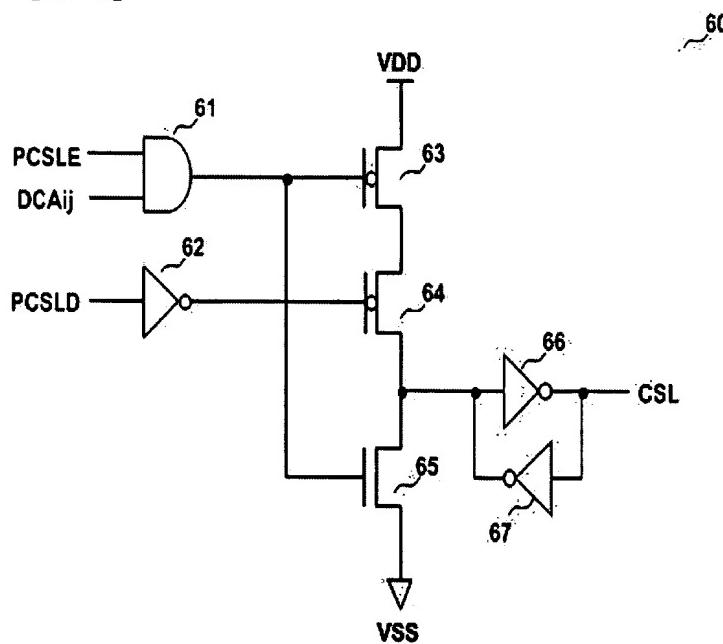
20



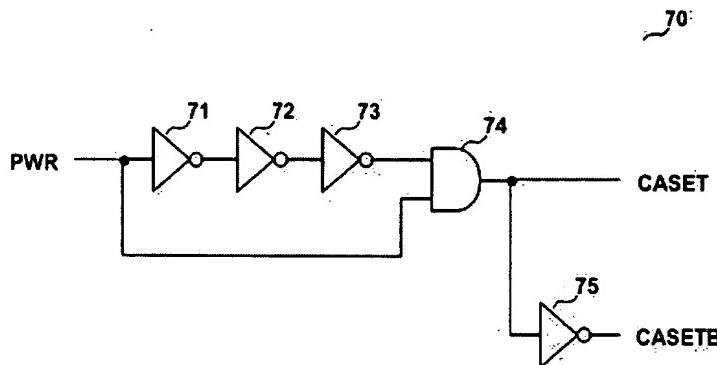
【도 7】



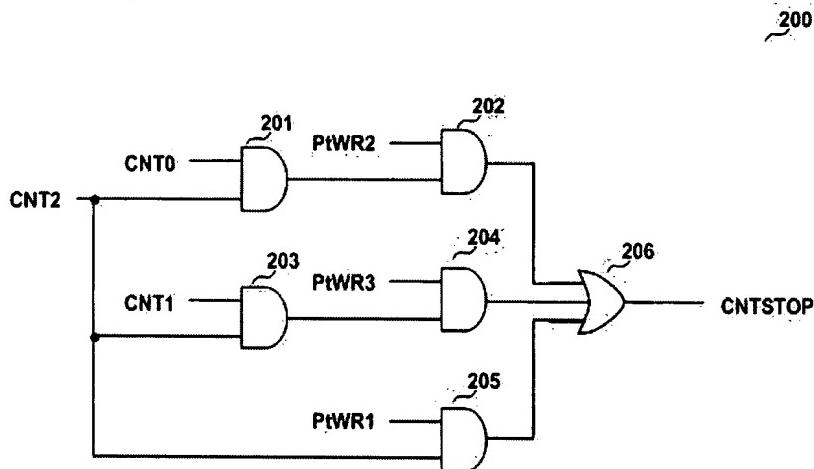
【도 8】



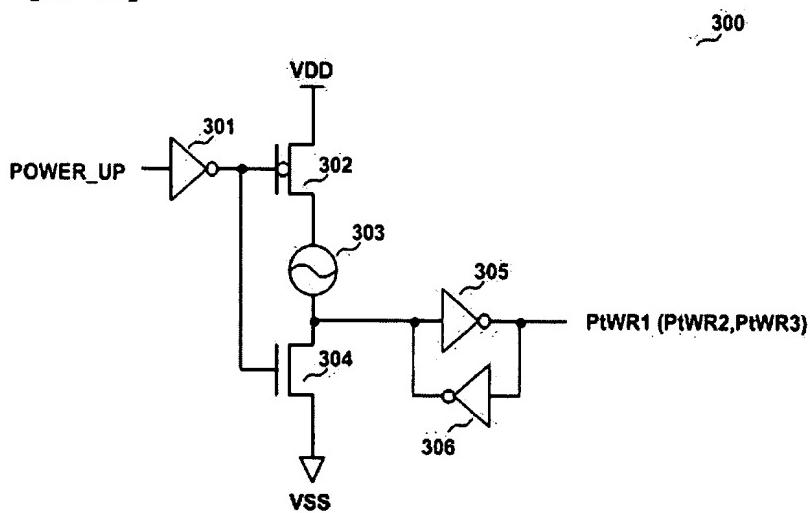
【도 9】



【도 10】



【도 11】



【도 12】

